

Układy Cyfrowe – laboratorium

Konspekt tematyczny ćwiczenia nr 8

Implementacja filtrów cyfrowych FIR w strukturach FPGA.

Cel ćwiczenia.

- Realizacja filtru cyfrowego w układzie FPGA o zadanej architekturze i współczynnikach. Obserwacja działania filtru za pomocą monitora sygnałów. Porównanie realizacji przy użyciu różnych elementów układu FPGA.

Przebieg ćwiczenia.

- **Wstęp.** Podanie przez osobę prowadzącą ćwiczenia współczynników filtru i omówienie .
- **Zadania do wykonania:**
 1. Konfiguracja przetwornika AD/DA Wolfson WM8731 na płycie DE2-115.
 2. Realizacja zadanego filtru cyfrowego typu SOI (skończonej odpowiedzi impulsowej, *FIR, Finite Impulse Response*) w architekturze równoległej z wykorzystaniem a) standardowych komórek lub b) wbudowanych bloków arytmetycznych.
 3. Realizacja zadanego wyżej filtru cyfrowego w architekturze równoległej z użyciem Arytmetyki Rozproszonej (*DA, Distributed Arithmetic*).
 4. Porównanie otrzymanych realizacji pod względem zajętości zasobów logicznych, częstotliwości pracy, dyskusja.
 5. Problemy i zadania dodatkowe. Realizacja filtru z wykorzystaniem symetrii.

Literatura i materiały pomocnicze

1. Plansze do wykładu UCYF
2. T. Łuba: Programowalne układy przetwarzania sygnałów i informacji, 7.: Projektowanie układów DSP, WKŁ, 2008 Warszawa
3. (dla zainteresowanych) Uwe Meyer-Baese: Digital Signal Processing with Field Programmable Gate Arrays, 2.: Computer Arithmetic, 3.: Finite Impulse Response (FIR) Digital Filters, Springer 2007