

Układy Cyfrowe – laboratorium

Konspekt tematyczny ćwiczenia nr 6 (wersja 2015)

Realizacja zadanego algorytmu w języku VHDL z wykorzystaniem metodologii RTL.

Cel ćwiczenia.

- Realizacja zadanego algorytmu w języku VHDL z zastosowaniem podziału projektu na moduły: FSM i Data Path.

Przebieg ćwiczenia.

- **Wstęp.** Prezentacja przez osobę prowadzącą ćwiczenia zadanego algorytmu (opis algorytmu w języku wysokiego poziomu typu CPP i behawioralny w języku VHDL).
- **Zadania do wykonania:**
 1. Wstępny projekt podziału algorytmu na moduły: FSM i Data Path. Specyfikacja automatu za pomocą grafu, komunikacja pomiędzy modułami, projekt modułu ścieżki danych (1 pkt.).
 2. Realizacja modułów w VHDL oraz ich integracja. Za pomocą symulacji zweryfikować poprawność realizacji funkcji w układzie sekwencyjnym. Do symulacji należy dodać sygnały rejestru automatu aby udowodnić poprawność działania automatu. Ustalić wartości dla sygnałów wejściowych. W trakcie pracy wyeliminować sygnały o wartościach U (nie powinny pojawiać się sygnały *koloru czerwonego* po ustaleniu wartości sygnałów wejściowych), poprawiając błędy funkcjonalne w kodzie VHDL lub/i poprawiając pobudzenia w symulacji. Stosować nazwy modułów i sygnałów stosownie do ich zadania np. nie nazywać modułu *fib.vhd* jeżeli moduł ma wykonać dzielenie (3 pkt.).
 3. Uruchomienie zadania na płytce DE2. Zastosować założenia do ćwiczenia 5, zwrócić uwagę na moment (stan automatu) dla wyświetlania wyniku, za pomocą narzędzia *Pin Planner* przypisać wejścia i wyjścia w układzie, wymusić na przełącznikach zadane zestawy wartości i zaobserwować na diodach wyniki (1 pkt.).
 4. Problemy i zadania dodatkowe. Realizacja bardziej efektywnej implementacji algorytmu (danego w trakcie ćwiczeń).

Literatura i materiały pomocnicze

1. Plansze do wykładu UCYF
2. Strona profesora Marka Perkowskiego CLASS-VHDL chapter11-fibonacci.html
3. Samples of VHDL Codes Presented In the Examples
4. You Tube: DE2 Board – Fibonacci Sequence